







20 08 2003  
P. H. D.

# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 20 JUIN 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)





26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354\*01

## REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 190600

REMISE DES PIÈCES DATE <b>1 JUL. 2002</b> LIEU <b>75 INPI PARIS</b> N° D'ENREGISTREMENT <b>0208208</b> NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI <b>- 1 JUL. 2002</b>		<b>1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE</b>  BUREAU D.A. CASALONGA-JOSSE 8, Avenue Percier 75008 PARIS	
<b>Vos références pour ce dossier (facultatif)</b> <b>B 02/1521 FR-FZ</b>			
<b>Confirmation d'un dépôt par télécopie</b> <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
<b>2 NATURE DE LA DEMANDE</b> Demande de brevet. Demande de certificat d'utilité  Demande divisionnaire <i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i> Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<b>Cochez l'une des 4 cases suivantes</b> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> N° _____ Date ____/____/____ N° _____ Date ____/____/____ N° _____ Date ____/____/____	
<b>3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)</b>  Dispositif de stockage de données multiports, en particulier pour une unité arithmétique et logique d'un processeur de traitement numérique du signal.			
<b>4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE</b>		Pays ou organisation _____ N° _____ Date ____/____/____ Pays ou organisation _____ N° _____ Date ____/____/____ Pays ou organisation _____ N° _____ Date ____/____/____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
<b>5 DEMANDEUR</b>		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale  Prénoms Forme juridique N° SIREN Code APE-NAF  Adresse _____ Rue _____ Code postal et ville _____  Pays _____ Nationalité _____ N° de téléphone (facultatif) _____ N° de télécopie (facultatif) _____ Adresse électronique (facultatif) _____		<b>STMicroelectronics SA</b>  <b>Société Anonyme</b> _____ _____  <b>29, Boulevard Romain Rolland</b> <b>92120 MONTRouGE</b> <b>FRANCE</b> <b>Française</b>	



# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES PIÈCES DATE 3 JUIL 2002 LIEU 76 INPI PARIS N° D'ENREGISTREMENT 0208208 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI		DB 540 W / 260899	
<b>Vos références pour ce dossier :</b> <i>(facultatif)</i>			B 02/1521 FR-FZ		
<b>6 MANDATAIRE</b>					
Nom					
Prénom					
Cabinet ou Société					
BUREAU D.A. CASALONGA-JOSSE					
N° de pouvoir permanent et/ou de lien contractuel					
Adresse		Rue	8 avenue Percier		
		Code postal et ville	75008	PARIS	
N° de téléphone <i>(facultatif)</i>					
N° de télécopie <i>(facultatif)</i>					
Adresse électronique <i>(facultatif)</i>					
<b>7 INVENTEUR (S)</b>					
Les inventeurs sont les demandeurs			<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée		
<b>8 RAPPORT DE RECHERCHE</b>			Uniquement pour une demande de brevet (y compris division et transformation)		
Établissement immédiat ou établissement différé			<input checked="" type="checkbox"/> <input type="checkbox"/>		
Paiement échelonné de la redevance			Paiement en deux versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input type="checkbox"/> Non		
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>			Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention ( <i>joindre un avis de non-imposition</i> ) <input type="checkbox"/> Requête antérieurement à ce dépôt ( <i>joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence</i> ):		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes					
<b>10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE</b> (Nom et qualité du signataire)			VISA DE LA PRÉFECTURE OU DE L'INPI  M. MARTIN		
A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle					

**Dispositif de stockage de données multiports, en particulier pour une unité arithmétique et logique d'un processeur de traitement numérique du signal.**

5 L'invention concerne les dispositifs de stockage de données multiports, et notamment un système de registres adressables par une unité arithmétique et logique d'un cœur de processeur de traitement numérique du signal (processeur DSP), et plus particulièrement la lecture du contenu de certains de ces registres.

10 Le cœur de traitement gère par exemple 16 registres qui sont regroupés pour former un dispositif de stockage. Le but de ces registres est de stocker des données utilisables dans différentes opérations. Le dispositif de stockage comporte un certain nombre de ports de sortie (ou ports de lecture), par exemple 8. De ce fait, jusqu'à  
15 8 registres peuvent être lus dans un cycle du signal d'horloge cadencant le coeur de traitement. Ceci étant, un même registre peut être lu sur les 8 ports de sorties.

Généralement, chaque port de sortie (ou port de lecture) est associé à un interrupteur (path gate) formé par exemple de 2  
20 transistors MOS complémentaires commandés sur leur grille. Chaque registre comporte un certain nombre de points mémoire, par exemple 40, de façon à pouvoir stocker des données de 40 bits. Comme chaque point mémoire peut être lu simultanément sur les 8 ports de lecture, il est associé à 8 interrupteurs. Chacun de ces interrupteurs pilote une  
25 ligne sur laquelle les 16 bits homologues des 16 registres sont connectés. Aussi, pour piloter 8 ports de sortie derrière 8 interrupteurs, il est prévu un amplificateur important. Puisque cet amplificateur important a une valeur capacitive importante vue sur son  
30 entrée, un inverseur est disposé entre cet amplificateur et le point mémoire, afin de protéger ce dernier.

Cependant, puisque 16 registres sont connectés sur chaque port de lecture, la capacité totale du port de lecture est très importante

(capacité du port de lecture lui-même ajoutée aux 16 capacités de drain des interrupteurs).

5 En outre, dans le pire cas, lorsqu'un même registre est lu par les 8 ports de lecture, son inverseur voit 8 lignes connectées chacune à 16 registres. Et, dans une telle configuration, la capacité totale vue par l'inverseur associé à un registre se compose de 8 capacités de ligne additionnées à 128 capacités de drain des transistors des interrupteurs.

10 Et, dans un tel cas, le signal finalement lu sur les ports de sortie présente une pente s'étendant sur environ 7 nanosecondes pour une technologie  $0,18\mu$ , ce qui est pénalisant, et en général en dehors des spécifications requises qui prévoient que la durée de la pente ne dépasse pas 3 nanosecondes pour cette technologie.

15 Il est donc nécessaire de prévoir une amplification spécifique de signal (buffer), ce qui complexifie le dispositif du point de vue encombrement et du point de vue coût de fabrication.

En outre, la consommation d'un tel dispositif est importante lors de la commutation des ports de sortie.

L'invention vise à apporter une solution à ces problèmes.

20 Un but de l'invention est de proposer un système de registres comportant un nombre plus réduit de composants et présentant sur les ports de sortie une pente beaucoup plus faible que dans l'art antérieur, typiquement 2,5 fois plus faible, de façon à générer un gain de temps important.

25 Un autre but de l'invention est de proposer un tel système présentant une consommation réduite de courant.

L'invention a également pour but de proposer un décodage associé à cet ensemble de registres, qui soit beaucoup plus rapide que celui habituellement utilisé dans l'art antérieur.

30 L'invention propose donc un dispositif de stockage de données, comportant plusieurs registres adressables par des mots d'adresses, et connecté sur p ports de sorties par des moyens de liaison configurables en réponse aux mots d'adresses de p registres sélectionnés pour la lecture respective des contenus de ces registres sur les p ports.

Selon une caractéristique générale de l'invention, tous les mots d'adresses des registres comportant un bit spécifique de rang prédéterminé identique pour tous les mots d'adresses, (par exemple le bit de poids fort) et des bits restants, les registres sont connectés par  
5 paire sur chaque port de sortie, chaque paire de registres comportant deux registres dont les mots d'adresses ne diffèrent que par la valeur dudit bit spécifique.

Par ailleurs, les moyens de liaison comportent pour chaque paire de registres et pour chaque port de sortie, une paire de premiers  
10 moyens de commutation commandables de façon complémentaire par le bit spécifique du mot d'adresse de l'un des deux registres, et un deuxième moyen de commutation connecté sur le port de sortie considéré et commandable à partir des bits restants des mots d'adresses des deux registres.

15 Les deux premiers moyens de commutation sont connectés entre d'une part respectivement les deux registres et d'autre part le deuxième moyen de commutation.

Ainsi, selon l'invention, on combine les registres par paires et, leur mot d'adresse, par exemple en format hexadécimal, ne diffère que  
20 d'un seul bit, par exemple le bit de poids fort. Ceci signifie que les deux registres peuvent être lus à travers le même moyen de commutation décodé par les bits restants du mot d'adresse. De ce fait, le nombre de moyens de commutation attachés à un port de lecture sera divisé par 2.

25 Par ailleurs, la commande des deuxièmes moyens de commutation, c'est-à-dire ceux qui sont directement attachés aux ports de lecture, s'effectuera de façon beaucoup plus rapide puisqu'elle ne concerne que les bits restants de chaque mot d'adresses, le bit spécifique, par exemple le bit de poids fort, servant à sélectionner  
30 directement l'un des deux registres d'une paire de registres.

Selon un mode de réalisation de l'invention, les registres comportent  $m$  points mémoires de façon à stocker des données de  $m$  bits. Bien que l'invention s'applique théoriquement pour  $m=1$ ,  $m$  est en général supérieur à 1, par exemple égal à 32 ou 40.

Le premier moyen de commutation associé à un registre d'une paire comporte alors  $m$  premiers interrupteurs élémentaires respectivement connectés sur les  $m$  points mémoires du registre.

5 Le premier moyen de commutation associé à l'autre registre de la paire comporte  $m$  autres premiers interrupteurs élémentaires respectivement connectés sur les  $m$  points mémoires de cet autre registre.

10 Un premier interrupteur élémentaire connecté à un point mémoire du registre est commandé de façon complémentaire par rapport à l'autre premier interrupteur élémentaire connecté au point mémoire homologue de l'autre registre.

15 Par ailleurs, le deuxième moyen de commutation comporte  $m$  deuxièmes interrupteurs élémentaires respectivement connectés entre ledit port de sortie considéré et  $m$  paires formées de  $s$  premiers interrupteurs élémentaires et des autres premiers interrupteurs élémentaires.

20 Selon un mode de réalisation de l'invention, le dispositif comporte un premier inverseur élémentaire connecté entre chaque point mémoire d'un registre et les  $p$  premiers interrupteurs élémentaires associés à ce registre, et un deuxième inverseur élémentaire connecté entre chaque deuxième interrupteur élémentaire connecté à un port de sortie et la paire formée par le premier interrupteur élémentaire et l'autre premier interrupteur élémentaire associé à l'autre registre de la paire de registres.

25 Chaque premier interrupteur élémentaire et chaque autre premier interrupteur élémentaire sont par exemple formés respectivement par des paires de transistors MOS complémentaires. Les grilles de deux transistors de type opposé (transistor NMOS et transistor PMOS) et appartenant respectivement aux deux paires, sont  
30 connectées ensemble de façon à permettre la commande complémentaire du premier interrupteur élémentaire et de l'autre premier interrupteur élémentaire.

De façon à minimiser l'encombrement du dispositif, avantageusement réalisé sous la forme d'un circuit intégré, les

premiers moyens de commutation associés aux deux registres d'une paire sont situés au voisinage l'un de l'autre.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée d'un mode de réalisation, nullement limitatif, et des dessins annexés sur lesquels :

- la figure 1 illustre très schématiquement un mode de réalisation d'un dispositif de stockage selon l'invention,
- la figure 2 illustre plusieurs détails, le dispositif de la figure 1,
- la figure 3 montre le couplage par paires des registres du dispositif selon l'invention,
- la figure 4 illustre plus en détails et toujours schématiquement une partie du dispositif des figures 1 et 2, et,
- la figure 5 illustre plus en détails mais toujours schématiquement, m décodage des mots d'adresses.

Sur la figure 1, la référence DS désigne un dispositif de stockage de données formé d'un ensemble de registres R, ici 16 registres, associés à des moyens de commande CTL permettant d'adresser certains de ces registres en vue de la lecture de leur contenu sur un certain nombre de ports de sorties, ici 8 ports de sorties PL0-PL7.

Chacun des 16 registres est ici un registre à 40 point mémoires capable donc de stocker des données de 40 bits.

En conséquence, chacun des ports de sorties (ou ports de lecture) comporte 40 lignes de bits.

Par ailleurs, les moyens de commande CTL sont ici gérés par un cœur de processeur de traitement numérique du signal PR, en particulier l'unité arithmétique et logique DU de ce processeur.

Sur la figure 2, on a représenté les différents points mémoires  $R_{j.i}$ ,  $i=0$  à 39, de chaque registre  $R_j$ ,  $j=0$  à 15.

Par ailleurs, tous les points mémoires ayant le même indice  $i$ ,  $i=0$  à 39, sont connectés sur les 8 lignes de bits PL0.i - PL7.i des 8 ports de lecture PL0 - PL7. La façon dont ces points mémoires sont connectés sur ces lignes de bits sera détaillée ci-après.

L'une des caractéristiques de l'invention, consiste à regrouper les registres par paires, et par conséquent les points mémoires homologues de ces registres par paires, comme illustré sur la figure 2.

5 Ce regroupement par paires s'effectue en fonction de la valeur des bits du mot d'adresse MAD permettant d'adresser chaque registre  $R_j$  ( $j=0$  à 15). Ce regroupement est illustré plus particulièrement sur la figure 3.

10 Chaque mot d'adresse MAD comporte ici 4 bits puisqu'il y a 16 registres. L'un de ces bits, à savoir le bit de poids fort, référencé A, est considéré ici comme étant un bit spécifique. Les bits restants  $b_0$ ,  $b_1$  et  $b_2$  sont les bits de poids faibles du mot d'adresse MAD.

15 D'une façon générale, selon l'invention, les registres sont connectés par paire sur chaque port de sortie, chaque paire de registres comportant les deux registres dont les mots d'adresses ne diffèrent que par la valeur du bit spécifique A. Les bits restants des mots d'adresses des deux registres d'une paire sont par conséquent identiques.

On voit donc sur la figure 3 que les registres  $R_0$  et  $R_8$  vont être connectés ensemble puisqu'ils ne diffèrent que par la valeur du bit de poids fort A.

20 Il en est de même pour les registres  $R_1$  et  $R_9$ ,  $R_2$  et  $R_{10}$ ,  $R_3$  et  $R_{11}$ ,  $R_4$  et  $R_{12}$ ,  $R_5$  et  $R_{13}$ ,  $R_6$  et  $R_{14}$ ,  $R_7$  et  $R_{15}$ .

On se réfère maintenant plus particulièrement à la figure 4 pour détailler la connexion mutuelle des deux registres d'une paire ainsi que leur connexion sur les différents ports de sorties.

25 A des fins de simplification, on a représenté sur la figure 4, uniquement le point mémoire  $R_{0.0}$  du registre  $R_0$ , et le point mémoire  $R_{8.0}$  du registre  $R_8$ .

Bien entendu, ce qui va être décrit pour ces deux points mémoires est identique pour les autres points mémoires des registres.

30 Chaque point mémoire est formé ici de façon classique par deux inverseurs montés tête-bêche.

Les moyens de liaison configurables, connectés entre chaque point mémoire et les ports de lecture, comportent ici en ce qui concerne le point mémoire  $R_{0.0}$  et le point mémoire  $R_{8.0}$  qui lui est couplé, un

premier interrupteur élémentaire OITA0.0 connecté au point mémoire R0.0 par l'intermédiaire d'un premier inverseur élémentaire IVA0.0.

Par ailleurs, un autre premier interrupteur élémentaire OITA8.0 est connecté au point mémoire R8.0 par l'intermédiaire d'un autre  
5 premier inverseur élémentaire IVA8.0.

Le premier interrupteur élémentaire OITA0.0 et l'autre premier interrupteur élémentaire OITA8.0 sont par ailleurs connectés ensemble.

La borne commune entre ces deux interrupteurs élémentaires OITA0.0 et OITA8.0 est reliée à un deuxième interrupteur élémentaire  
10 OITB0.0 par l'intermédiaire d'un deuxième inverseur élémentaire OIVB0.0.

Le deuxième interrupteur élémentaire OITB0.0 est relié à la ligne de bits PL0.0 du port de lecture PL0.

On remarque sur la figure 4 que les deux premiers interrupteurs  
15 élémentaires OITA0.0 et OITA8.0 sont commandés de façon complémentaire. En effet, chaque premier interrupteur élémentaire est formé de deux transistors MOS complémentaires, à savoir un transistor NMOS et un transistor PMOS. Et, la grille du transistor NMOS du premier interrupteur élémentaire OITA0.0 est reliée à la grille du  
20 transistor PMOS de l'autre premier interrupteur élémentaire OITA8.0. De même, la grille du transistor PMOS du premier interrupteur élémentaire OITA0.0 est reliée à la grille du transistor NMOS de l'autre premier interrupteur élémentaire OITA8.0.

Et, la grille du transistor NMOS du premier interrupteur  
25 élémentaire OITA0.0 et la grille du transistor PMOS du premier interrupteur élémentaire OITA8.0 sont commandées par la valeur du bit de poids fort A0 du mot d'adresse MAD0 délivré par les moyens de contrôle pour adresser en lecture les registres sélectionnés sur le port de lecture PL0.

30 On voit donc immédiatement que la valeur 1 pour le bit A0 va permettre de sélectionner le point mémoire R0.0 tandis que la valeur 0 va permettre de sélectionner le point mémoire R8.0 (en effet, l'annotation A0\_n désigne la valeur complémentaire de A0).

Ceci étant, une valeur logique donnée pour le bit A0 va permettre également de rendre passant les premiers interrupteurs élémentaires associés aux points mémoires ayant la même valeur logique pour leur bit de poids fort. C'est pourquoi, la sélection effective de l'un  
5 des registres va s'effectuer, en combinaison avec le bit de poids fort A, par les bits restants du mot d'adresse. A cet égard, comme illustré sur la figure 5, les moyens de contrôle, élaborent non seulement les valeurs Ai et Ai\_n à partir du bit de poids fort A, mais également les signaux de commande rdi et rdi\_n à partir des bits restants b0, b1, b2 du mot  
10 d'adresse MADi.

Ces signaux de commande rdi et rdi\_n, par exemple rd0 et rd0\_n vont commander le deuxième interrupteur élémentaire OITB0.0.

Puisque le dispositif comporte ici 8 ports de lecture, les premiers interrupteurs élémentaires, les deuxième interrupteurs  
15 élémentaires ainsi que les deuxièmes inverseurs élémentaires sont répétés 8 fois.

Plus précisément, par exemple pour la ligne de bits PL1.0 du port de lecture PL1, il est prévu un premier interrupteur élémentaire 1ITA0.0 connecté au premier inverseur élémentaire IVA0.0 et un autre  
20 premier interrupteur élémentaire 1ITA8.0 connecté au premier inverseur élémentaire 1IVA8.0. Ces deux premiers interrupteurs élémentaires 1ITA0.0 et 1ITA8.0 sont connectés ensemble. Leur borne commune est connectée au deuxième interrupteur élémentaire 1ITB0.0 par l'intermédiaire d'un deuxième inverseur élémentaire 1IVB0.0. Le  
25 deuxième interrupteur élémentaire 1ITB0.0 est connecté sur la ligne de bits PL10 du port de lecture PL1.

Les premiers interrupteurs élémentaires 1ITA0.0 et 1ITA8.0 sont commandés de façon complémentaire par le bit A1 du mot d'adresse MAD1 dédié au port de lecture PL1. De même, le deuxième interrupteur  
30 élémentaire 1ITB0.0 est commandé à partir des bits restants de ce mot d'adresse.

L'invention présente de ce fait des avantages importants.

En effet, par rapport à l'art antérieur, le nombre d'interrupteurs élémentaires attachés aux ports de lecture est divisé par deux.

Les moyens de contrôle CTL, c'est-à-dire l'étage de décodage, sont beaucoup plus rapides puisque dans le cas présent, seuls 3 bits (les bits restants) sont décodés au lieu de 4 dans l'art antérieur. Le dernier bit, en l'espèce le bit de poids fort, commande directement le premier  
5 inverseur élémentaire sans qu'il soit nécessaire de faire décodage.

Dans le cas où le même registre est lu simultanément sur les 8 ports de lecture, ce sont les premiers inverseurs élémentaires correspondants qui sont sollicités. Cependant, chaque premier inverseur élémentaire ne voit que 16 interrupteurs élémentaires et 8 deuxièmes  
10 inverseurs élémentaires.

Par ailleurs, chaque deuxième inverseur élémentaire pilote une ligne de bits connectée à 8 deuxièmes interrupteurs élémentaires. Et, même si les 8 ports de lecture servent à lire le contenu du même registre (ce qui constitue le pire cas), les deuxièmes inverseurs élémentaires ne  
15 verront pas plus d'une capacité de ligne de bits (au lieu de 8 dans l'art antérieur) et 8 interrupteurs élémentaires (au lieu de 128 dans l'art antérieur). La pente du signal de sortie est par conséquent rectifiée et se situe entre 2 et 3 nanosecondes au lieu de 7 dans l'art antérieur. De ce fait, aucune amplification supplémentaire spécifique n'est nécessaire, et  
20 l'on obtient un gain de 30% en rapidité.

En outre, en raison de la réduction importante de la capacité globale vue par les ports de sortie du dispositif, la consommation de courant est réduite.

L'invention n'est pas limitée au mode de réalisation qui vient  
25 d'être décrit mais en embrasse toutes les variantes. Ainsi, elle peut s'appliquer à un nombre quelconque de registres avec un nombre quelconque de ports de lecture. Et, même si le nombre de registres n'est pas pair, l'invention s'applique. En effet, dans ce cas, un seul des registres sera isolé, les autres étant connectés par paires comme décrit ci-  
30 avant.

## REVENDICATIONS

1 - Dispositif de stockage de données, comportant plusieurs registres adressables par des mots d'adresses, et connectés sur p ports de sorties par des moyens de liaison configurables en réponse aux mots d'adresses de p registres sélectionnés pour la lecture respective des contenus de ces registres sur les p ports, caractérisé par le fait que tous les mots d'adresses (MAD) des registres comportant un bit spécifique de rang prédéterminé (A) identique pour tous les mots d'adresses et des bits restants (b0, b1, b2), les registres sont connectés par paires sur chaque port de sortie, chaque paire de registres comportant deux registres dont les mots d'adresses ne diffèrent que par la valeur dudit bit spécifique, et par le fait que les moyens de liaison comportent pour chaque paire de registres et pour chaque port de sortie, une paire de premiers moyens de commutation (OITA0.0, OITA8.0) commandables de façon complémentaire par le bit spécifique du mot d'adresse de l'un des deux registres, et un deuxième moyen de commutation (OITB0.0) connecté sur le port de sortie considéré (PL0.0) et commandable à partir des bits restants des mots d'adresses des deux registres, les deux premiers moyens de commutation étant connectés entre d'une part respectivement les deux registres (RO.0, R8.0) et d'autre part le deuxième moyen de commutation (OTTBO.0).

2 - Dispositif selon la revendication 1, caractérisé par le fait que les registres comportent m points mémoires de façon à stocker des données de m bits, et par le fait que le premier moyen de commutation associé à un registre (RO.0) d'une paire comporte m premiers interrupteurs élémentaires (OITA0.0) respectivement connectés sur les m points mémoires du registre, par le fait que le premier moyen de commutation associé à l'autre registre (R8.0) de la paire comporte m autres premiers interrupteurs élémentaires (OITA8.0) respectivement connectés sur les m points mémoires de cet autre registre, un premier interrupteur élémentaire (OITA8.0) connecté à un point mémoire du registre étant commandé de façon complémentaire par rapport à l'autre

premier interrupteur élémentaire (OITA8.0) connecté au point mémoire homologue de l'autre registre, et par le fait que le deuxième moyen de commutation comporte m deuxièmes interrupteurs élémentaires (OITB0.0) respectivement connectés entre ledit port de sortie considéré et les m paires formées des premiers interrupteurs élémentaires et des autres premiers interrupteurs élémentaires.

3 - Dispositif selon la revendication 2, caractérisé par le fait qu'il comporte un premier inverseur élémentaire (IVAO.0) connecté entre chaque point mémoire d'un registre et les p premiers interrupteurs élémentaires associés à ce registre, et un deuxième inverseur élémentaire (OIVBO.0) connecté entre chaque deuxième interrupteur élémentaire connecté à un port de sortie et la paire formée par le premier interrupteur élémentaire et l'autre premier interrupteur élémentaire associé à l'autre registre de la paire de registres.

4 - Dispositif selon l'une des revendications 2 ou 3, caractérisé par le fait que chaque premier interrupteur élémentaire et chaque autre premier interrupteur élémentaire sont formés respectivement par des paires de transistors MOS complémentaires, les grilles de deux transistors de type opposé appartenant respectivement aux deux paires étant connectées ensemble de façon à permettre la commande complémentaire du premier interrupteur élémentaire et de l'autre premier interrupteur élémentaire.

5 - Dispositif selon l'une des revendications précédentes, caractérisé par le fait que les premiers moyens de commutation associés aux deux registres d'une paire sont situés au voisinage l'un de l'autre.

6 - Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il est réalisé sous la forme d'un circuit intégré.

7 - Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il est commandé en lecture par un processeur de traitement du signal.

1/4

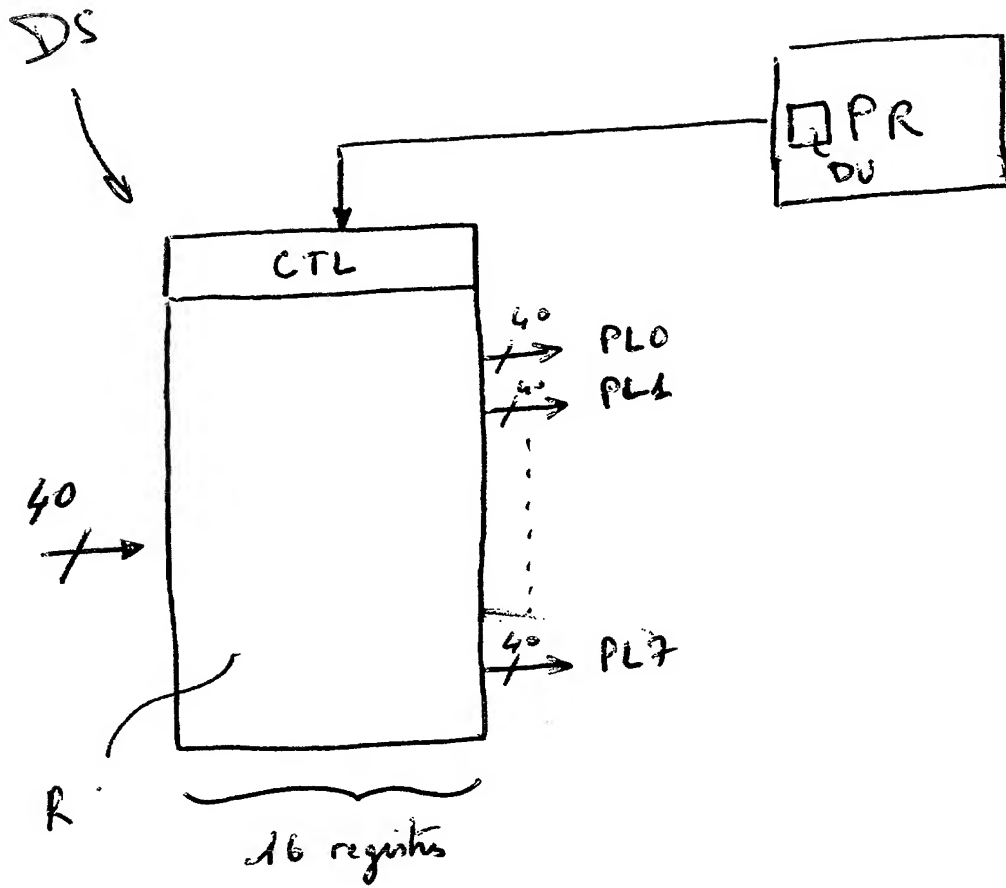
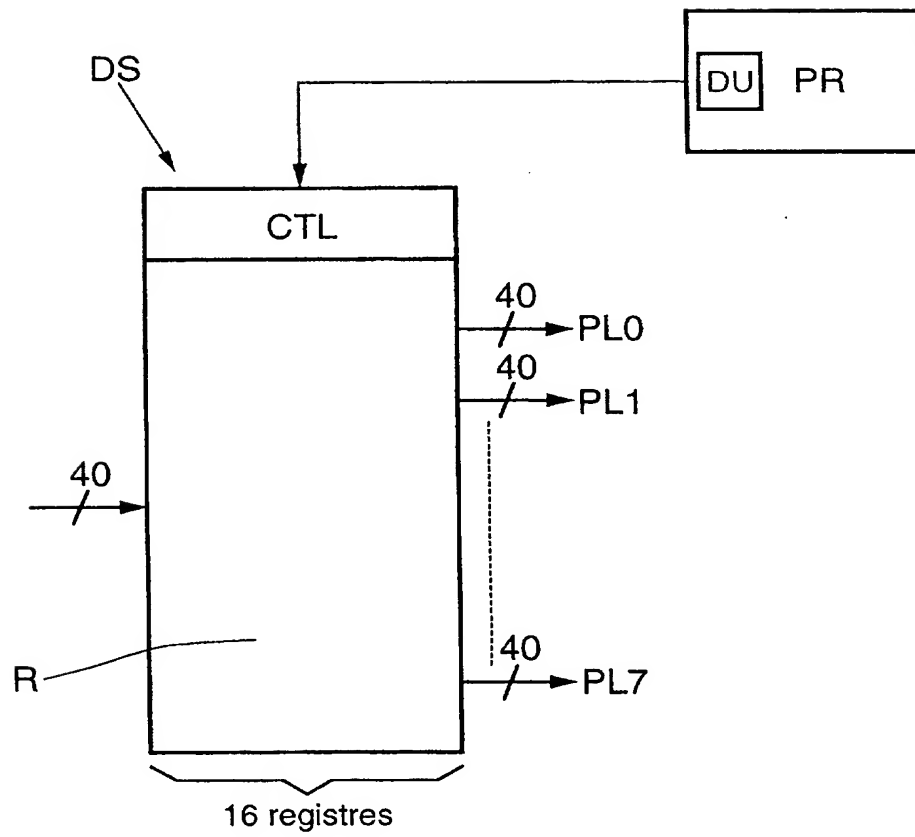


Fig 1

1/4

FIG.1



2/4

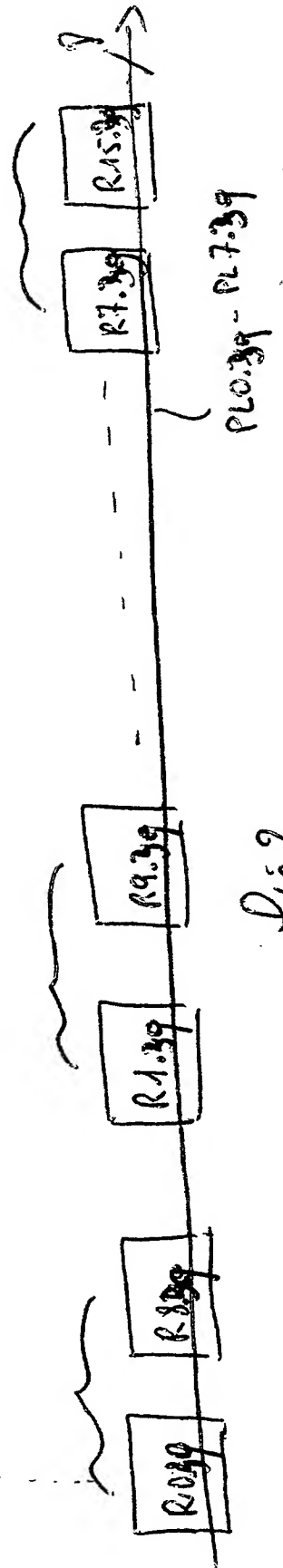
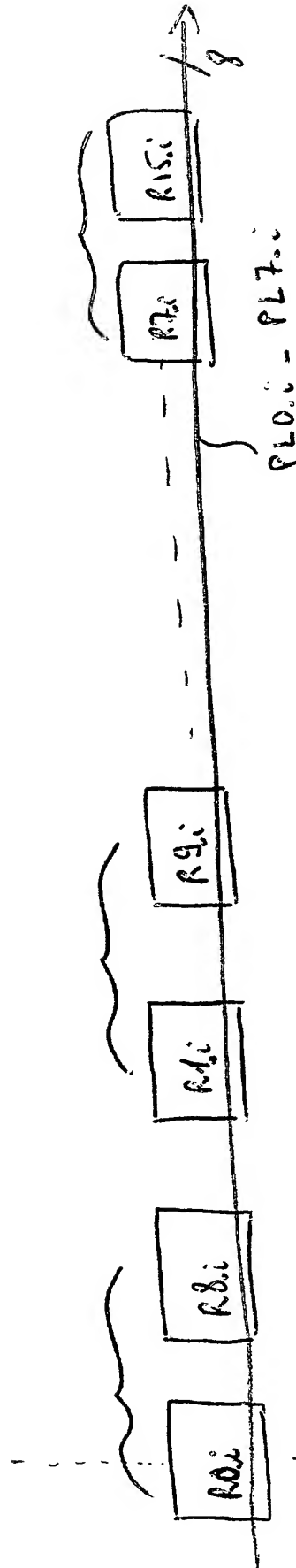
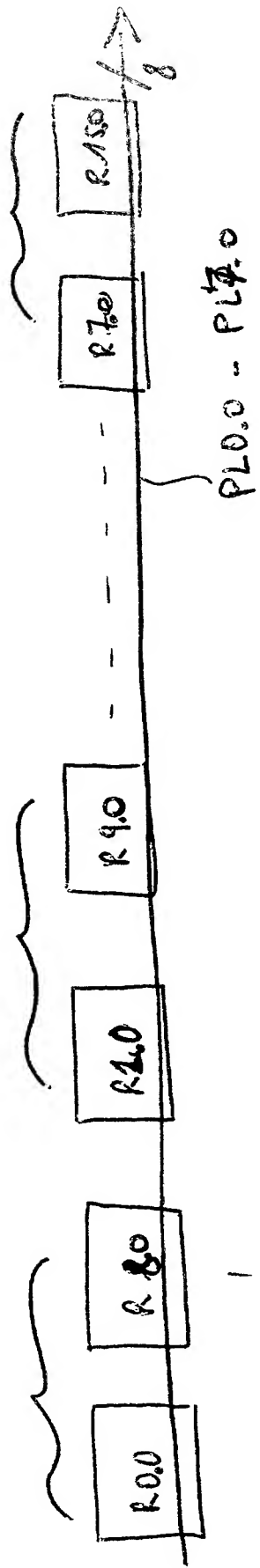
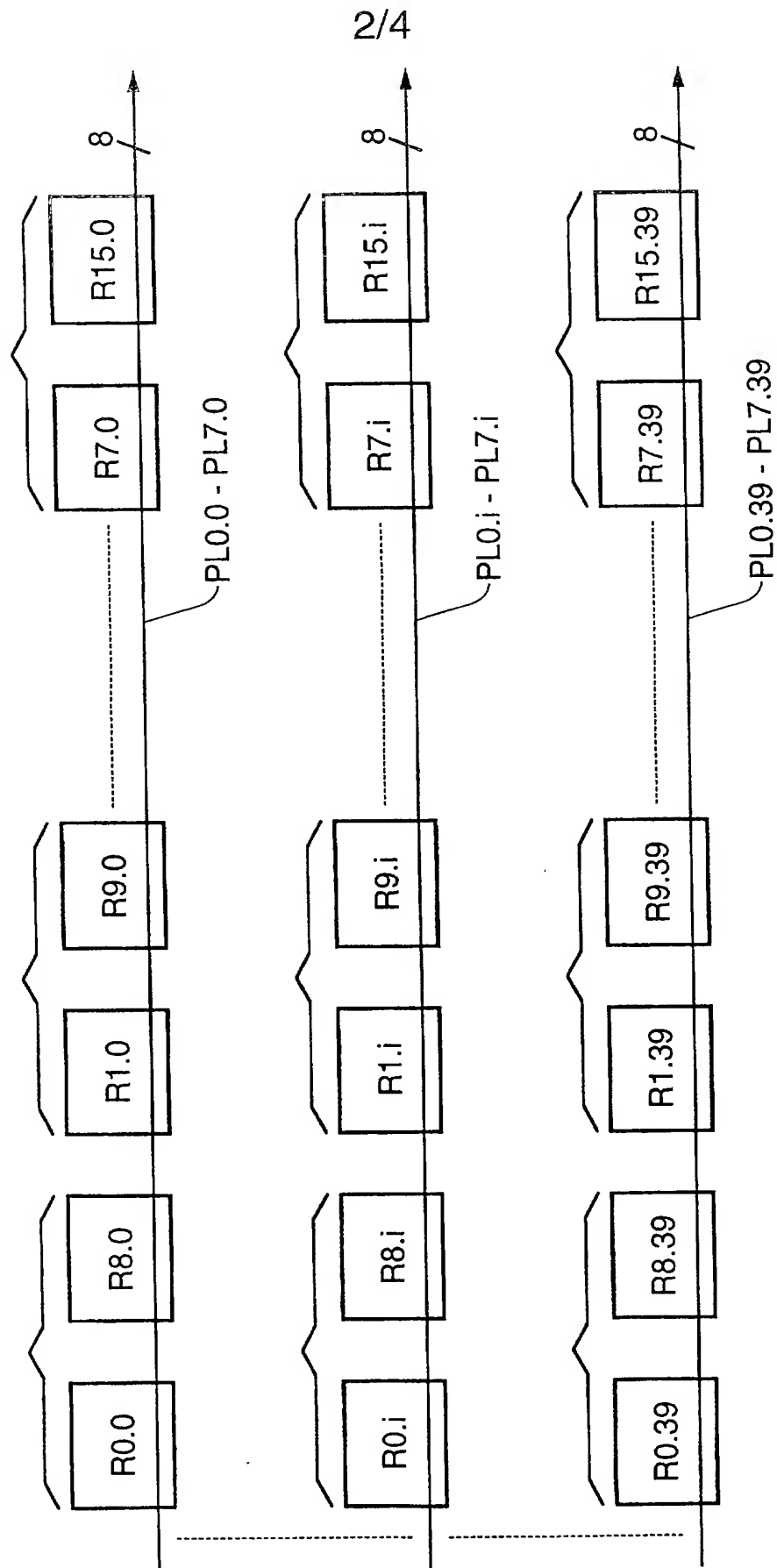
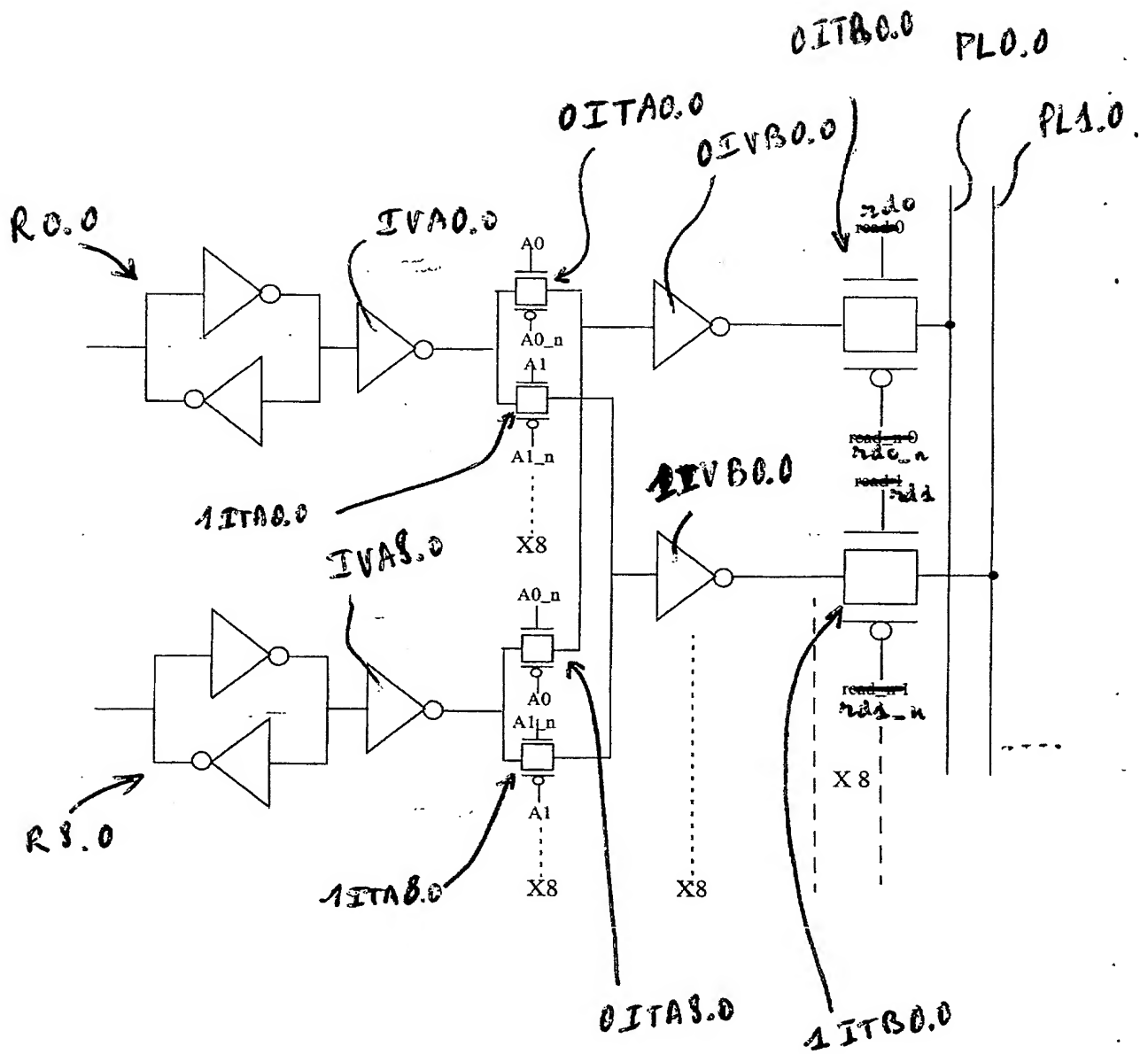


Fig 2

**FIG.2**



3/4

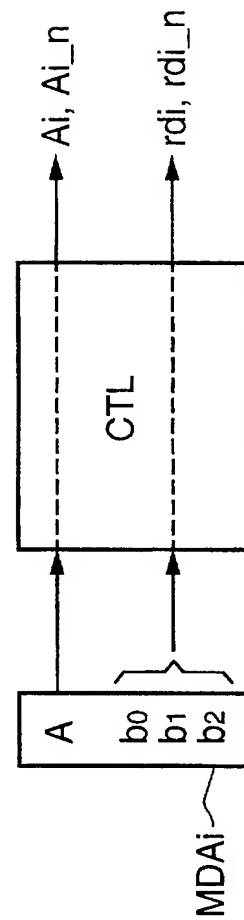
Fig 4

3/4

**FIG.3**

	MAD → A								MAD → A							
	A	b2	b1	b0		A	b2	b1	b0		A	b2	b1	b0		
R0 :	0	0	0	0	↔	1	0	0	0	:	1	0	0	0	:	R8
R1 :	0	0	0	1	↔	1	0	0	1	:	1	0	0	1	:	R9
R2 :	0	0	1	0	↔	1	0	1	0	:	1	0	1	0	:	R10
R3 :	0	0	1	1	↔	1	0	1	1	:	1	0	1	1	:	R11
R4 :	0	1	0	0	↔	1	1	0	0	:	1	1	0	0	:	R12
R5 :	0	1	0	1	↔	1	1	0	1	:	1	1	0	1	:	R13
R6 :	0	1	1	0	↔	1	1	1	0	:	1	1	1	0	:	R14
R7 :	0	1	1	1	↔	1	1	1	1	:	1	1	1	1	:	R15

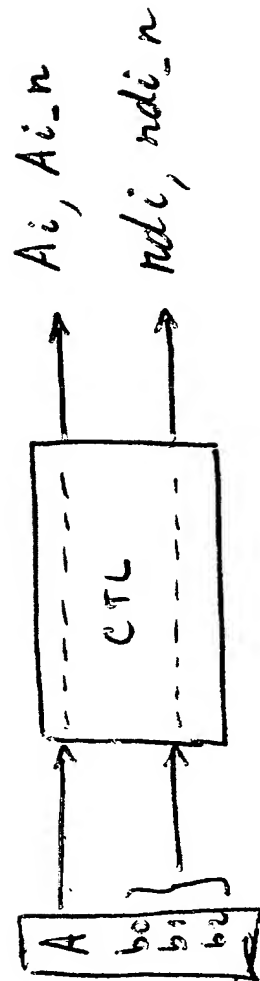
**FIG.5**



4/4

MAD	$\rightarrow$	A	$b_2$	$b_1$	$b_0$	$\rightarrow$	A	$b_2$	$b_1$	$b_0$	$\rightarrow$	MAD
R0	:	0	0	0	0	$\leftrightarrow$	1	0	0	0	$\rightarrow$	R8
R1	:	0	0	0	1	$\leftrightarrow$	1	0	0	1	$\rightarrow$	R9
R2	:	0	0	1	0	$\leftrightarrow$	1	0	1	0	$\rightarrow$	R10
R3	:	0	0	1	1	$\leftrightarrow$	1	0	1	1	$\rightarrow$	R11
R4	:	0	1	0	0	$\leftrightarrow$	1	1	0	0	$\rightarrow$	R12
R5	:	0	1	0	1	$\leftrightarrow$	1	1	0	1	$\rightarrow$	R13
R6	:	0	1	1	0	$\leftrightarrow$	1	1	1	0	$\rightarrow$	R14
R7	:	0	1	1	1	$\leftrightarrow$	1	1	1	1	$\rightarrow$	R15

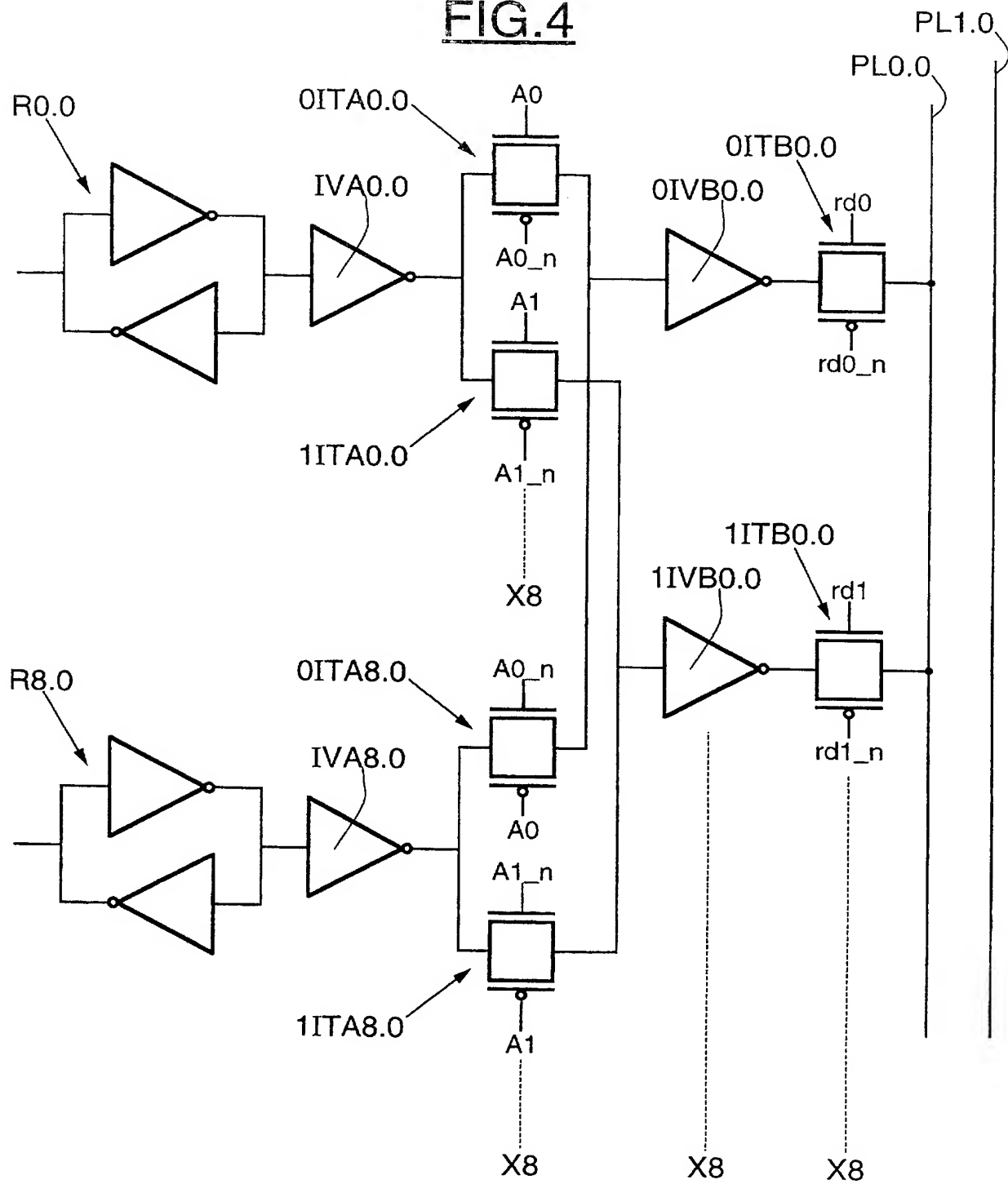
Fig 3



MAD:

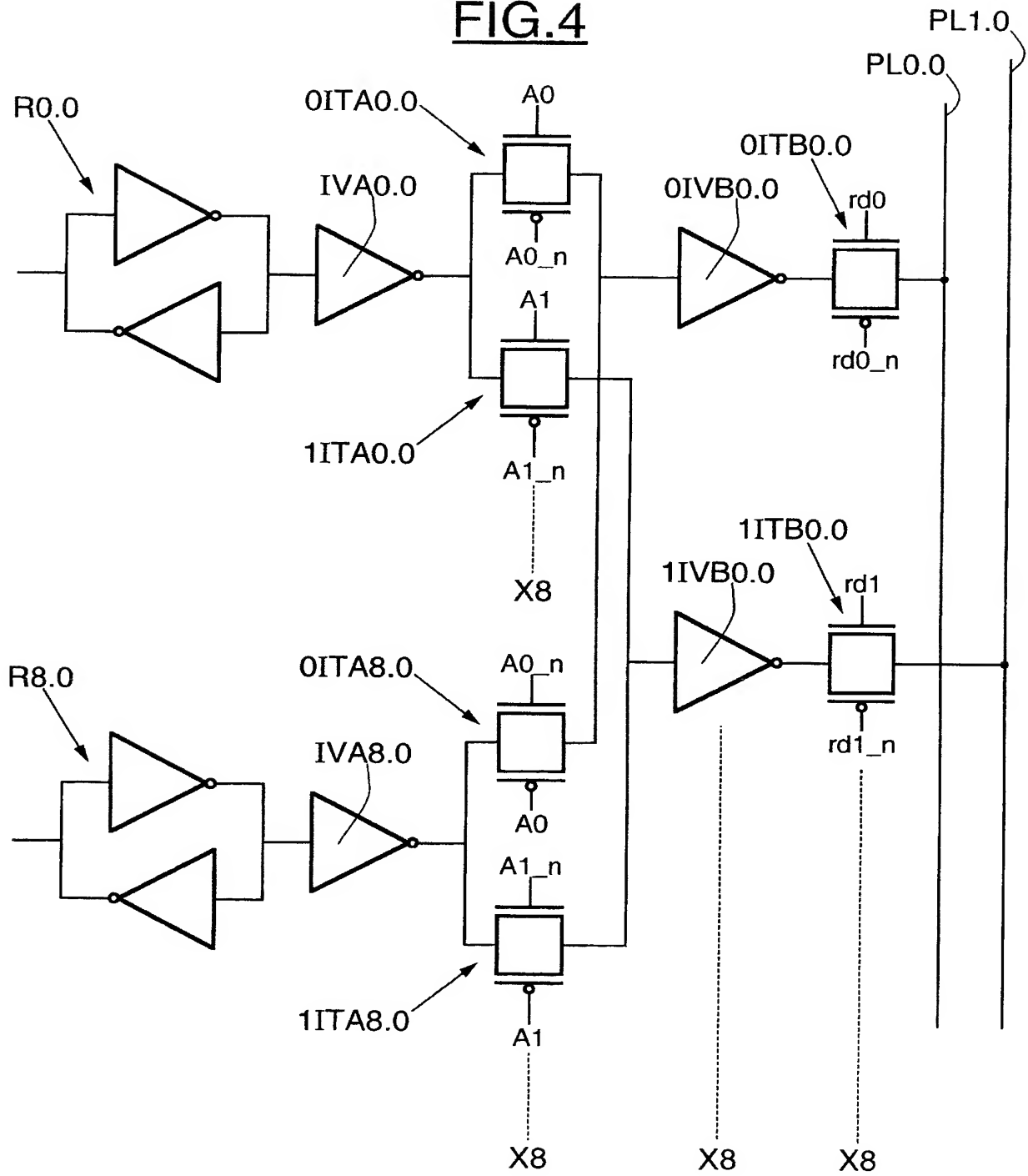
Fig 5

4/4

**FIG.4**

4/4

**FIG.4**





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**BREVET D'INVENTION****CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI



N° 11235\*02

DÉSIGNATION D'INVENTEUR(S) Page N° 1.. / .1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260299

Vos références pour ce dossier (facultatif)		B 02/1521 FR-FZ	
N° D'ENREGISTREMENT NATIONAL		0208208	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
Dispositif de stockage de données multiports, en particulier pour une unité arithmétique et logique d'un processeur de traitement numérique du signal.			
LE(S) DEMANDEUR(S) :			
Société Anonyme dite : STMicroelectronics SA			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		ESCH	
Prénoms		Hélène	
Adresse	Rue	191 rue de Bramefarine	
	Code postal et ville	38570	Le Cheylas
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Paris le 1er Juillet 2002.  A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle	

